

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-120700**

(43)Date of publication of application : **06.05.1997**

(51)Int.Cl.

**G11C 29/00**  
**G11C 11/22**  
**G11C 14/00**  
**G11C 11/401**

(21)Application number : **08-208161**

(71)Applicant : **MATSUSHITA ELECTRON CORP**

(22)Date of filing : **07.08.1996**

(72)Inventor : **HIRANO HIROSHIGE**  
**MORIWAKI NOBUYUKI**  
**NAKAKUMA TETSUJI**  
**HONDA TOSHIYUKI**  
**NAKANE JOJI**

(30)Priority

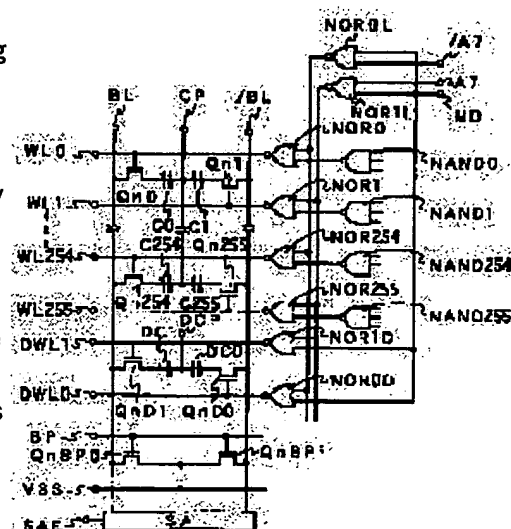
Priority number : **07211943**    Priority date : **21.08.1995**    Priority country : **JP**

## (54) FERROELECTRIC MEMORY AND INSPECTION METHOD THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a ferroelectric memory in which both stabilized operation at low voltage and high integration at high voltage are ensured by switching the operation between 1T1C type and 2T2C type.

**SOLUTION:** The memory cell comprises a ferroelectric capacitor where a first bit line BL is connected with a first body memory cell C0-C254 and a second reference memory cell DC1, a second bit line /BL is connected with a first reference memory cell DCO and a second body memory cell C1-C255. When a first operation mode is selected by a control circuit comprising a NAND gate and a NOR gate, the first body memory cell C0-C254 and first reference memory cell DCO are selected and when a second operation mode is selected, the first body memory cell C0-C254 and second body memory cell C1-C255 are selected.



## LEGAL STATUS

[Date of request for examination]

30.10.1997

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3043992

[Date of registration] 10.03.2000

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-120700

(43) 公開日 平成9年(1997)5月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 E 3 0 3 B
11/22			11/22	
14/00			11/34	3 5 2 A 3 7 1 A
11/401				
審査請求 未請求 請求項の数17 O L (全 8 頁)				

(21) 出願番号 特願平8-208161

(22) 出願日 平成8年(1996)8月7日

(31) 優先権主張番号 特願平7-211943

(32) 優先日 平7(1995)8月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 平野 博茂

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 森脇 信行

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 中熊 哲治

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 池内 寛幸 (外1名)

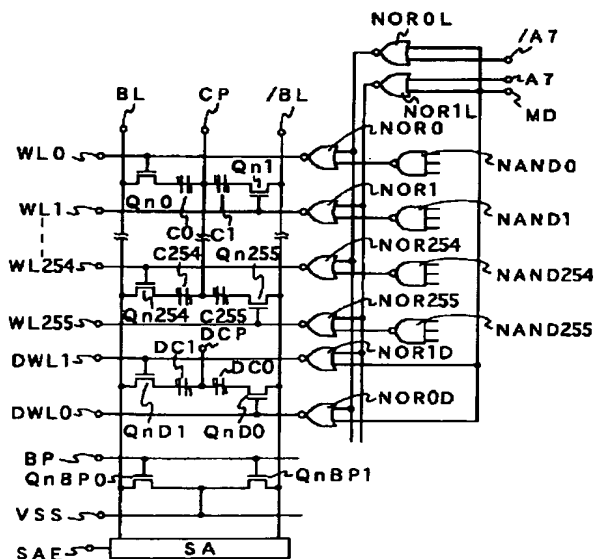
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置およびその検査方法

(57) 【要約】

【課題】 1T1Cタイプと2T2Cタイプとの動作を切り換えることにより、低電圧での安定動作と高電圧での高集積性を兼ね備えた強誘電体メモリ装置を提供する。

【解決手段】 メモリセルが強誘電体キャパシタで構成され、第1のビット線BLに第1の本体メモリセルC0-C254が接続され、第2のビット線/BLに第1のリファレンスメモリセルDC0が接続され、第2のビット線/BLに第2の本体メモリセルC1-C255が接続され、第1のビット線BLに第2のリファレンスメモリセルDC1が接続されている。NANDゲートおよびNORゲートで構成された制御回路によって第1の動作モードを選択したとき、第1の本体メモリセルC0-C254と第1のリファレンスメモリセルDC0が選択され、第2の動作モードを選択したとき、第1の本体メモリセルC0-C254と第2の本体メモリセルC1-C255が選択される。



## 【特許請求の範囲】

【請求項1】 第1および第2のビット線と、本体メモリセルを構成する第1のメモリセルトランジスタを介して前記第1のビット線に接続された第1の強誘電体キャパシタと、

本体メモリセルを構成する第2のメモリセルトランジスタを介して前記第2のビット線に接続された第2の強誘電体キャパシタと、

第1のリファレンスメモリセルを構成する第3のメモリセルトランジスタを介して前記第2のビット線に接続された第3の強誘電体キャパシタと、

第2のリファレンスメモリセルを構成する第4のメモリセルトランジスタを介して前記第1のビット線に接続された第4の強誘電体キャパシタと、

前記第1から第4のメモリセルトランジスタのゲートを制御する制御回路とを備え、

前記制御回路は、第1および第2の動作モードの制御機能を有し、前記第1の動作モードでは、前記第1および第3のメモリセルトランジスタを含むグループ、および、前記第2および第4のメモリセルトランジスタを含むグループのうちのいずれか一方のグループの各トランジスタのゲートを制御し、前記第2の動作モードでは、前記第1および第2のメモリセルトランジスタのいずれか一方のゲートのみを制御する強誘電体メモリ装置。

【請求項2】 前記第1および第2のメモリセルが隣接して配置されている請求項1記載の強誘電体メモリ装置。

【請求項3】 電圧検知回路を有し、第1および第2の動作モードの切り換えを前記電圧検知回路からの検知信号によって行う請求項1記載の強誘電体メモリ装置。

【請求項4】 前記第2の動作モードで検査した後、前記第1の動作モードでの検査を行う機能を有する請求項1記載の強誘電体メモリ装置。

【請求項5】 前記第2の動作モードで書き込み動作を行った後、前記第1の動作モードで読出し動作を行う機能を有する請求項4記載の強誘電体メモリ装置。

【請求項6】 前記第2の動作モードで検査した後、その検査に合格した場合に前記第1の動作モードでの検査を行う機能を有する請求項1記載の強誘電体メモリ装置。

【請求項7】 第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにデータを書き込み、その後、前記第2の動作モードでデータを読み出す機能を有する請求項4記載の強誘電体メモリ装置。

【請求項8】 第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにHデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにHデータを書き込み、その

後、前記第2の動作モードでデータを読み出す機能を有する請求項4記載の強誘電体メモリ装置。

【請求項9】 第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにLデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにLデータを書き込み、その後、前記第2の動作モードでデータを読み出す機能を有する請求項4記載の強誘電体メモリ装置。

【請求項10】 第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにHデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにLデータを書き込み、その後、前記第2の動作モードでデータを読み出す機能を有する請求項4記載の強誘電体メモリ装置。

【請求項11】 請求項1記載の強誘電体メモリ装置の検査方法であって、前記第2の動作モードで検査した後、前記第1の動作モードでの検査を行う検査方法。

【請求項12】 前記第2の動作モードで書き込み動作を行った後、前記第1の動作モードで読出し動作を行う請求項11記載の検査方法。

【請求項13】 請求項1記載の強誘電体メモリ装置の検査方法であって、前記第2の動作モードで検査した後、その検査による合格品に対して前記第1の動作モードでの検査を行う検査方法。

【請求項14】 請求項1記載の強誘電体メモリ装置の検査方法であって、第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにデータを書き込み、その後、前記第2の動作モードでデータを読み出す検査方法。

【請求項15】 請求項1記載の強誘電体メモリ装置の検査方法であって、第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにHのデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにHデータを書き込み、その後、前記第2の動作モードでデータを読み出す検査方法。

【請求項16】 請求項1記載の強誘電体メモリ装置の検査方法であって、第1の電源電圧を用いて前記第1の動作モードの動作で第1の強誘電体キャパシタにLのデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにLデータを書き込み、その後、前記第2の動作モードでデータを読み出す検査方法。

【請求項17】 請求項1記載の強誘電体メモリ装置の検査方法であって、第1の電源電圧を用いて前記第1の動作モードで第1の強誘電体キャパシタにHのデータを書き込み、第2の電源電圧を用いて前記第1の動作モードで第2の強誘電体キャパシタにLデータを書き込み、

その後、前記第2の動作モードでデータを読み出す検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタを用いた強誘電体メモリ装置およびその検査方法に関する。

【0002】

【従来の技術】最近、メモリセルのキャパシタに強誘電体材料を用いることにより記憶データの不揮発性を実現した強誘電体メモリ装置が考案されている。強誘電体キャパシタはヒステリシス特性を有し、電界が零のときでも履歴に応じた異なる極性の残留分極が残る。記憶データを強誘電体キャパシタの残留分極で表わすことにより不揮発性メモリ装置を実現することができる。

【0003】米国特許第4,873,664号には、二つのタイプの強誘電体メモリ装置が開示されている。第1のタイプは、メモリセルを1ビット当たり1個のトランジスタと1個のキャパシタ(1T1C)で構成したものである。たとえば256個の本体メモリセル(即ちノーマルセル)毎に1個のダミーメモリセル(即ちリファレンスセル)が設けられる。

【0004】第2のタイプは、ダミーメモリセルを設けずに、メモリセルを1ビット当たり2個のトランジスタと2個のキャパシタ(2T2C)で構成したものである。1対の相補データが1対の強誘電体キャパシタに記憶される。

【0005】キャパシタを構成する強誘電体材料としては、 $\text{KNO}_3$ 、 $\text{PbLa}_2\text{O}_3\text{-ZrO}_2\text{-TiO}_2$ 、および $\text{PbTiO}_3\text{-PbZrO}_3$ 等が知られている。PCT国際公開第WO93/12542公報には、強誘電体メモリ装置に適した、 $\text{PbTiO}_3\text{-PbZrO}_3$ に比べて極端に疲労の小さい強誘電体材料も開示されている。

【0006】

【発明が解決しようとする課題】上述の1T1Cタイプの強誘電体メモリ装置によれば、リファレンスメモリセルキャパシタ(即ちダミーメモリセルキャパシタ)は、本体メモリセルキャパシタの例えば2倍の容量、つまり、2倍の面積を有する。しかも、リファレンスメモリセルキャパシタは、本体メモリセルキャパシタとサイズが異なり、強誘電体キャパシタの特性に合わせてサイズを決める必要がある。

【0007】従来の1T1Cタイプの強誘電体メモリ装置では、リファレンスメモリセルキャパシタのサイズを本体メモリセルキャパシタと異なるサイズに設定する必要があるが、強誘電体キャパシタの特性ばらつきや電圧依存性に起因して、特に低電圧で動作マージンが少なくなる。また、2T2Cタイプの強誘電体メモリ装置では安定動作はするものの1ビットあたりのメモリセルの面積が1T1Cタイプに比べて2倍程度になる。

【0008】また、従来の2T2Cタイプまたは1T1Cタイプのみのデバイスでは強誘電体キャパシタの特性のマージンテストができないため、特性の悪い強誘電体キャパシタをスクリーニングによって除くことができないという問題があった。

【0009】また、1T1Cタイプのデバイスでは、集積度は2T2Cタイプのデバイスよりも高いが、不良になった場合に救済することができない。そのため、歩留まりが低下する。一方、2T2Cタイプのデバイスは集積度が低いので製品コストが増大する。

【0010】本発明は、上記のような従来の問題点を解決して、低電圧での安定動作と高電圧での高集積度を兼ね備えた誘電体メモリ装置とその検査方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の強誘電体メモリ装置は、第1および第2のビット線と、本体メモリセルを構成する第1のメモリセルトランジスタを介して前記第1のビット線に接続された第1の強誘電体キャパシタと、本体メモリセルを構成する第2のメモリセルトランジスタを介して前記第2のビット線に接続された第2の強誘電体キャパシタと、第1のリファレンスメモリセルを構成する第3のメモリセルトランジスタを介して前記第2のビット線に接続された第3の強誘電体キャパシタと、第2のリファレンスメモリセルを構成する第4のメモリセルトランジスタを介して前記第1のビット線に接続された第4の強誘電体キャパシタと、前記第1から第4のメモリセルトランジスタのゲートを制御する制御回路とを備える。

【0012】そして、前記制御回路は第1および第2の動作モードの制御機能を有し、前記第1の動作モード(即ち、1T1Cモード)では、前記第1および第3のメモリセルトランジスタを含むグループ、および、前記第2および第4のメモリセルトランジスタを含むグループのうちのいずれか一方のグループの各トランジスタのゲートを制御する。前記第2の動作モード(即ち、2T2Cモード)では、前記第1および第2のメモリセルトランジスタのいずれか一方のゲートのみを制御する。

【0013】上記の構成によれば、1T1Cモードと2T2Cモードの動作を切り換えることにより、低電圧での安定動作と、高電圧での高集積度を兼ね備えた強誘電体メモリ装置が提供される。好ましくは、第1のメモリセルトランジスタと第2のメモリセルトランジスタとを隣接して配置する。また、強誘電体メモリ装置が電圧検知回路を有し、前記第1の動作モードと前記第2の動作モードとの切り換えを前記電圧検知回路からの検知信号によって行う構成が好ましい。

【0014】また、本発明の強誘電体メモリ装置の検査方法の一つの特徴によれば、第2の動作モード、即ち2T2Cモードで検査した後、その検査による合格品に対

して第1の動作モード、即ち1T1Cモードでの検査を行う。この方法によれば、1T1Cタイプのデバイスを2T2Cモードの検査で短時間に検査することができる。

【0015】また、本発明の検査方法の他の特徴によれば、2つの異なる電源電圧（即ち、第1および第2の電源電圧）を用いて、1T1Cモードで書き込み、2T2Cモードで読み出すことにより、強誘電体メモリキャパシタのマージン検査を行う。この方法によれば、例えば特性の良くない強誘電体キャパシタをスクリーニングで除き、信頼性の高いデバイスのみを供給することができる。

【0016】また、1T1Cタイプと2T2Cタイプとの切り換えができることから、1T1Cタイプのデバイスで不良になった場合でも、2T2Cタイプのデバイスで良品として製品化することができるので、歩留まりの向上が期待できる。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて詳細に説明する。図1に本発明の第1の実施形態の強誘電体メモリ装置の回路を示す。図2にその制御信号MDの発生回路を示す。この強誘電体メモリセルは、一つのトランジスタおよび一つの強誘電体キャパシタで1ビットデータを構成する動作モードと、二つのトランジスタおよび二つの強誘電体キャパシタで1ビットデータを構成する動作モードのいずれかを選択することができる。

【0018】図1において、WL0～WL255はワード線、DWL0、DWL1はリファレンスワード線、BL、/BLはビット線、CPはセルプレート電極、DCPはリファレンスセルプレート電極、BPはビット線プリチャージ制御信号、SAEはセンスアンプ制御信号、VSSは接地電圧、SAはセンスアンプである。C0～C255は本体メモリセルキャパシタ、DC0、DC1はリファレンスメモリセルキャパシタ、Qn0～Qn255、QnD0、QnD1、QnBP0、QnBP1はNチャネル型MOSTランジスタである。以下、Qn0～Qn255を本体メモリセルトランジスタといい、QnD0、QnD1をリファレンスメモリセルトランジスタという。

【0019】まず、この強誘電体メモリ装置の構成について説明する。センスアンプSAにビット線BL、/BLが接続されている。センスアンプSAはセンスアンプ制御信号SAEにより制御される。リファレンスメモリセルキャパシタDC0の第1の電極は、ゲート電極がリファレンスワード線DWL0に接続されたリファレンスメモリセルトランジスタQnD0を介してビット線/BLに接続されている。リファレンスメモリセルキャパシタDC0の第2の電極は、リファレンスセルプレート電極DCPに接続されている。

【0020】リファレンスメモリセルキャパシタDC1の第1の電極は、ゲート電極がリファレンスワード線DWL1に接続されたリファレンスメモリセルトランジスタQnD1を介してビット線BLに接続されている。リファレンスメモリセルキャパシタDC1の第2の電極は、リファレンスセルプレート電極DCPに接続されている。

【0021】一方、本体メモリセルキャパシタC0の第1の電極は、ゲート電極がワード線WL0に接続された本体メモリセルトランジスタQn0を介してビット線BLに接続されている。本体メモリセルキャパシタC0の第2の電極は、セルプレート電極CPに接続されている。

【0022】本体メモリセルキャパシタC1の第1の電極は、ゲート電極がワード線WL1に接続された本体メモリセルトランジスタQn1を介してビット線/BLに接続されている。本体メモリセルキャパシタC1の第2の電極は、セルプレート電極CPに接続されている。

【0023】ワード線WL0～WL255にはNORゲートNOR0～NOR255が接続され、リファレンスワード線DWL0、DWL1にはNORゲートNOR0D、NOR1Dが接続されている。これらのNORゲートには、NORゲートNOR0L、NOR1L、NANDゲートNAND1～NAND255が接続されている。これらのゲートは、制御信号MDによって動作モードを選択するための制御回路を構成している。

【0024】また、動作モードの切り換え用の制御信号MDの発生回路は、図2に示されているように、ヒューズFとNチャネル型MOSTランジスタQnと否定回路INVとで構成されている。制御信号MDは、ヒューズFが切断されていない状態では論理電圧“L”であり、ヒューズFが切断されると論理電圧“H”になる。

【0025】制御信号MDが論理電圧“L”のときは、たとえばワード線WL0とリファレンスワード線DWL0が選択され、1T1Cモードとして動作する。制御信号MDが論理電圧“H”のときは、たとえばワード線WL0とワード線WL1が選択されてリファレンスワード線DWL0およびDWL1は選択されず、2T2Cモードとして動作する。

【0026】本実施形態の強誘電体メモリ装置は、動作マージンが減少して1T1Cモードでは安定動作が困難な場合に、2T2Cモードに切り換えることにより安定動作が得られる。つまり、1T1Cモードでは正常といえないデバイスであっても、2T2Cモードによって良品デバイスとすることができる。そのため歩留まりの向上が期待でき、ひいては製品コストの低減が可能となる。

【0027】次に、本発明の第2の実施形態の強誘電体メモリ装置について説明する。この装置では、第1の実施形態の強誘電体メモリ装置の制御信号MDの発生回路

が電圧検知信号を用いた回路に置き換えられている。図3に電圧検知回路の構成の一例を示す。電源電圧VDDが高いときは制御信号MDが論理電圧“L”になり、VDDが低いときは制御信号MDが論理電圧“H”になる。

【0028】1T1Cモードは、特に低電圧で動作マージンが減少する。本実施形態の強誘電体メモリ装置は、電源電圧が高いときは1T1Cモードで高集積動作を行い、電源電圧が低くなれば自動的に2T2Cモードに移行して安定動作を行う。また、2T2Cモードの検査により、短時間で検査（例えばパターン機能検査）を行うと共に、強誘電体メモリキャパシタの特性マージン検査を行うことにより、信頼性の高いデバイスが供給される。

【0029】次に、本発明の第3の実施形態である強誘電体メモリ装置の検査方法と、その検査機能を備えた強誘電体メモリ装置とを説明する。図4にこの検査方法の流れ図が示されている。図5に、この検査方法における強誘電体キャパシタの2T2Cモード動作のヒステリシス特性が示されている。図4に示されるように、まず、2T2Cモードで検査を行い、この検査で不良（FAIL）となったデバイスは不良品として除かれる。合格（PASS）であれば続けて1T1Cモードで検査を行い、これで不良（FAIL）となったデバイスは2T2Cモード良品とされる。1T1Cモードでの検査でも合格（PASS）となったデバイスは1T1Cモード良品とされる。

【0030】このように、1T1Cモードより検査時間の短い（ほぼ1/2）2T2Cモードを用いた検査フローを採用することにより、不良品を早い段階で除去することができるので、ウェハ全体として検査時間を短縮することができる。

【0031】図5は、メモリセルの強誘電体キャパシタに印加される電界（横軸）と電荷（縦軸）とのヒステリシス特性を示している。強誘電体材料では、電界がゼロになっても、H51及びL51の点で示される残留分極は存在する。そこで、電源供給が無くなっても強誘電体キャパシタに残る残留分極を不揮発性データとして利用することにより、不揮発性の半導体メモリが実現する。

【0032】2T2Cモードの場合、メモリセルのデータが“1”であればメモリセルの一方の強誘電体キャパシタはH51の状態にあり、他方の強誘電体キャパシタはL51の状態にある。逆に、メモリセルのデータが“0”であればメモリセルの一方の強誘電体キャパシタはL51の状態にあり、他方の強誘電体キャパシタはH51の状態にある。ラインLはビットラインの容量値によって決まる傾きを有する。

【0033】データ“1”が読み出されるとき、データはキャパシタからビットラインに読み出され、メモリセルの一方の強誘電体キャパシタはH51の状態からH5

2の状態に変化する。メモリセルの他方の強誘電体キャパシタはL51の状態からL52の状態に変化する。このようにして、H52の状態とL52の状態との電位差 $\Delta V5$ が得られる。その後センスアンプ等によって、H52の状態の電位はH53の状態の電位まで増幅され、L52の状態の電位はL53の状態の電位まで増幅される。次に、再書き込み（リライト）動作として、H53の状態の電位はH54の状態の電位まで戻され、L53の状態の電位はL54の状態の電位まで戻される。このL54はL51に等しい。次に、H54の状態の電位はH51の状態の電位にリセットされる。

【0034】また、1T1Cモードの検査では既に2T2Cモード書き込み動作が行われているため、書き込み動作を行わずに読出し動作のみの検査を行うこともできる。この場合は1T1Cモードでの書き込み動作に要する時間が不要になるので、検査時間がさらに短縮される。図4では、最初に2T2Cモードでの検査によって合格・不合格の判定を行っているが、これに代えて、2T2Cモードで書き込み動作のみを行い1T1Cモードで読出し動作のみを行う検査フローを採用してもよい。この場合、1T1Cモードで書き込み動作および読出し動作を行う場合に比べて検査時間が約75%に短縮される。

【0035】また、この検査方法による自己検査機能を強誘電体メモリ装置に備えさせることができる。例えば、まず2T2Cモードで自己検査を行い、良品であれば1T1Cモードに切り換えて検査を行う。逆に、最初に1T1Cモードで検査を行い、不良品であれば2T2Cモードに切り換えて検査を行い、その合格品を2T2Cモードの良品とすることも可能である。

【0036】次に、本発明の第4の実施形態である強誘電体メモリ装置の検査方法を説明する。この検査方法の流れ図が図6に示され、強誘電体キャパシタの動作ヒステリシス特性が図7に示されている。

【0037】図6に示されるように、まず、電源電圧VDD=5V、1T1Cモードで図1のメモリセルC0にHデータを書き込む。この結果、図7のヒステリシス曲線において、強誘電体キャパシタはH64の状態を経てH61の状態に変化する。次に、電源電圧VDD=3V、1T1CモードでメモリセルC1にHデータを書き込む。この結果、図7のヒステリシス曲線において、強誘電体キャパシタはL60の状態を経てL61の状態に変化する。次に、2T2Cモードで読み出し動作を行う。異なる電源電圧でHデータを書き込んでいるため、H61とL61の状態がHデータとLデータの初期状態となる。これらの状態は同じ分極方向を有する。この状態から2T2Cモードで読み出し動作を行うと図7の $\Delta V6$ の読み出し電位差が得られる。これは、第3実施形態の読み出し電位差 $\Delta V5$ よりも小さい。例えば、特性の良くない強誘電体キャパシタをスクリーニングで除

き、信頼性の高いデバイスだけをを供給することができる。

【0038】なお、この実施形態の検査方法は、外部検査装置を用いて特性の良くない強誘電体キャパシタをスクリーニングする場合だけでなく、自己検査機能を強誘電体メモリ装置に備えさせる場合にも適用することができる。例えば、スクリーニングモードに移行すれば、自動的に降圧電源回路を起動して内部電源電圧を低くし、または、メモリセルのセルプレート電圧を電源電圧より低くして検査する機能を強誘電体メモリ装置に備えさせればよい。

【0039】次に、本発明の第5の実施形態である強誘電体メモリ装置の検査方法を説明する。先に述べた第4の実施形態では1T1Cモードで異なる電圧によってHデータを書き込むが、本実施形態ではLデータを書き込む。図8に本実施形態の検査方法における強誘電体キャパシタのヒステリシス特性が示されている。H81とL81が初期状態を示し、これらの状態は同じL側の分極方向を有する。

【0040】この実施形態では、第4の実施形態とは異なる読み出し電位差 $\Delta V_8$ が得られ、それぞれのデバイスに適した検査マージンで検査することができる。なお、この実施形態の検査方法による自己検査機能を強誘電体メモリ装置に備えさせることができる。また、この検査方法と第4の実施形態の検査方法とを組み合わせることにより、複数の条件で強誘電体キャパシタのスクリーニングを行うことができる。

【0041】次に、本発明の第6の実施形態である強誘電体メモリ装置の検査方法を説明する。第4および第5の実施形態では1T1Cモードで異なる電圧によって共にHデータまたは共にLデータを書き込むが、本実施形態では異なる電圧によってHデータとLデータとを書き込む。図9に本実施形態の検査方法における強誘電体キャパシタのヒステリシス特性が示されている。

【0042】この実施形態では、第4または第5の実施形態とは異なり、2T2Cの通常動作に近い読み出し方法によって読み出し電位差のマージンで検査ができる。H91とL91が初期状態を示し、これらの状態は異なる分極方向と異なる分極の大きさを有する。図9の $\Delta V_9$ がこの場合の読み出し電位差である。なお、この実施形態の検査方法による自己検査機能を強誘電体メモリ装置に備えさせることができる。

【0043】

【発明の効果】以上説明したように、本発明によれば、1T1Cタイプと2T2Cタイプとの動作を切り換える

ことにより、低電圧での安定動作と高電圧での高集積性を兼ね備えた強誘電体メモリ装置を提供することができる。また短時間で検査を行うと共に、強誘電体メモリキャパシタのマージン検査により信頼性の高いデバイスを供給することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の強誘電体メモリ装置の回路図

【図2】図1の強誘電体メモリ装置の制御信号発生回路の回路図

【図3】本発明の第2の実施形態の強誘電体メモリ装置の制御信号発生回路の回路図

【図4】本発明の第3の実施形態である強誘電体メモリ装置の検査方法の流れ図

【図5】図4の検査方法における強誘電体キャパシタのヒステリシス特性図

【図6】本発明の第4の実施形態である強誘電体メモリ装置の検査方法の流れ図

【図7】図6の検査方法における強誘電体キャパシタのヒステリシス特性図

【図8】本発明の第5の実施形態である強誘電体メモリ装置の検査方法における強誘電体キャパシタのヒステリシス特性図

【図9】本発明の第6の実施形態である強誘電体メモリ装置の検査方法における強誘電体キャパシタのヒステリシス特性図

【符号の説明】

WL0～WL255 ワード線

DWL0, DWL1 リファレンスワード線

BL, /BL ビット線およびその信号

CP セルプレート電極およびその信号

DCP リファレンスセルプレート電極およびその信号

BP ビット線プリチャージ制御信号

SAE センスアンプ制御信号

A7, /A7 アドレス信号

MD 制御信号

VSS 接地電圧

VDD 電源電圧

SA センスアンプ

C0～C255 本体メモリセルキャパシタ

DC0, DC1 リファレンスメモリセルキャパシタ

Qn0～Qn255, QnD0, QnD1, QnBP

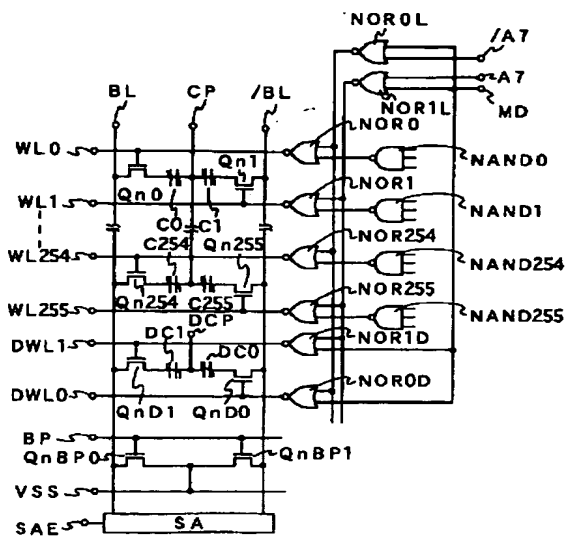
0, QnBP1, QnNチャネル型MOSトランジスタ

INV 否定回路

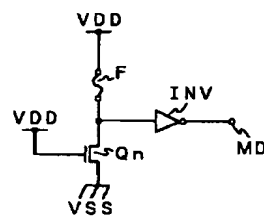
F ヒューズ



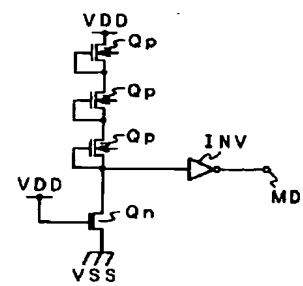
【図1】



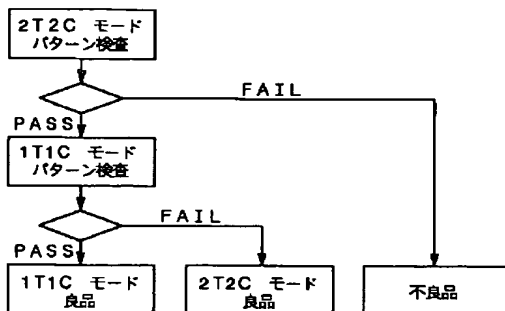
【図2】



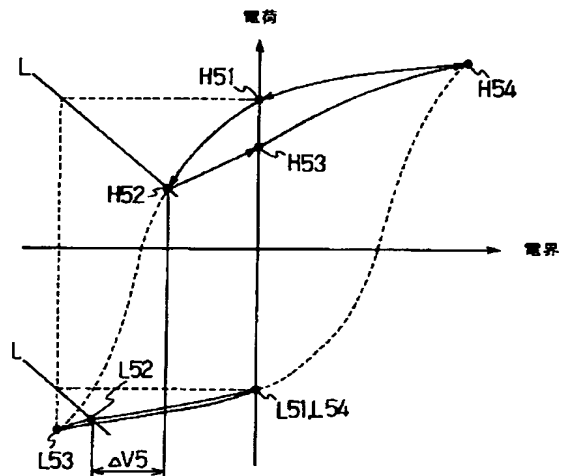
【図3】



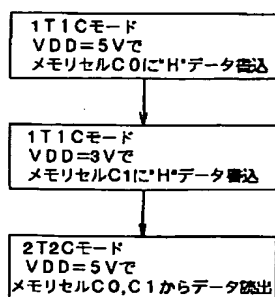
【図4】



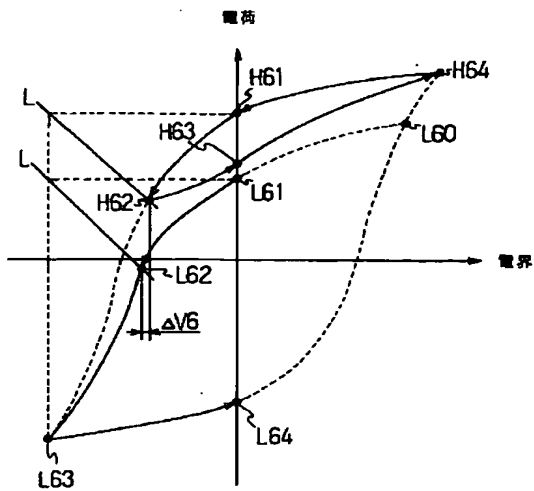
【図5】



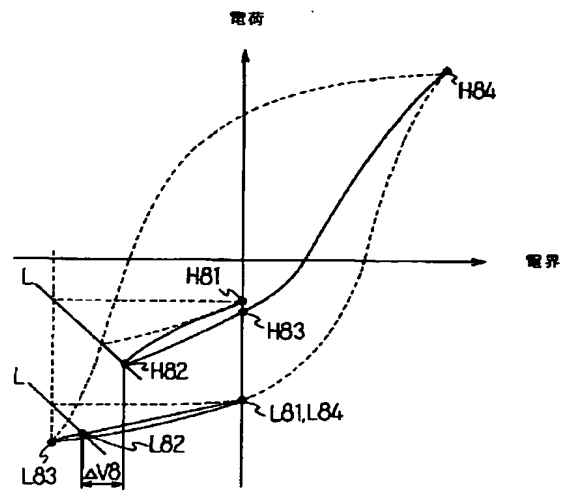
【図6】



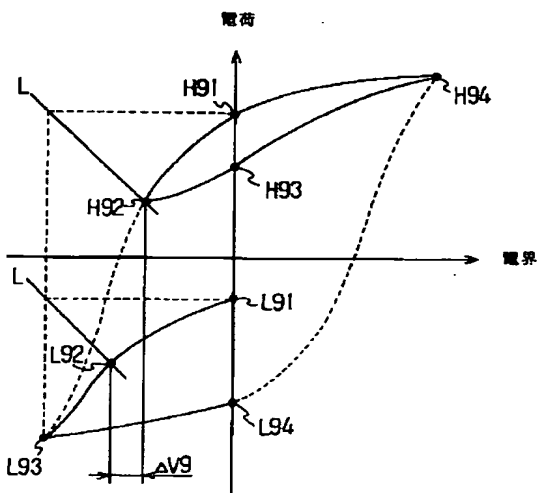
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 本多 利行  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 中根 譲治  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内